



⑯ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑯ Patentschrift
⑯ DE 196 39 875 C1

⑮ Int. Cl. 8:
H 01 L 21/336
// H01L 29/78

DE 196 39 875 C1

⑯ Aktenzeichen: 196 39 875.4-33
⑯ Anmeldetag: 27. 9. 96
⑯ Offenlegungstag: —
⑯ Veröffentlichungstag der Patenterteilung: 2. 4. 98

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

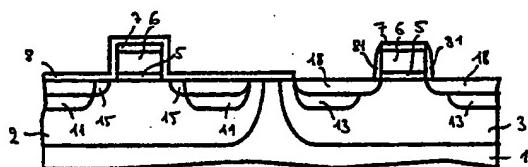
⑯ Patentinhaber:
Siemens AG, 80333 München, DE

⑯ Erfinder:
Lustig, Bernhard, Dr., 81737 München, DE; Schäfer, Herbert, Dr., 85635 Höhenkirchen-Siegertsbrunn, DE; Franosch, Martin, 81739 München, DE

⑯ Für die Beurteilung der Patentfähigkeit in Betracht gezogene Druckschriften:
DE 44 15 568 C2
US 54 91 099 A
IEEE Trans. on Electron Dev., Vol. 38, Nr. 1, S. 39-48;
Solid State Technology, Vol. 33, Nr. 1, S. 73-78;
NAKAHARA, Y. et al: »Ultra-shallow in-situ-doped raised source/drain structure for sub-tenth micron CMOS«, 1996 Symposium on VLSI Technology, Digest of Technical Papers, 174-175;

⑯ Verfahren zur Herstellung eines MOS-Transistors

⑯ Zur Herstellung eines MOS-Transistors mit HDD-Profil und LDD-Profil wird zur Erzeugung steller Dotierstoffprofile im Bereich des LDD-Profilen zunächst das HDD-Profil und anschließend das LDD-Profil gebildet. Das LDD-Profil wird vorzugsweise durch Anätzen und in situ dotierte selektive Epitaxie erzeugt.



DE 196 39 875 C1

Beschreibung

MOS-Transistoren mit kurzen Kanallängen werden zur Vermeidung von Kurzkanaleffekten meist so hergestellt, daß die Source/Drain-Gebiete ein LDD (Lightly doped drain)-Profil und ein HDD (Heavily doped drain)-Profil aufweisen. Das LDD-Profil weist dabei eine geringere Dotierstoffkonzentration und eine geringere Tiefe als das HDD-Profil auf. Das LDD-Profil reicht jedoch näher an die Gateelektrode heran und bestimmt die Kanallänge des MOS-Transistors. Das HDD-Profil weist dagegen einen geringeren Anschlußwiderstand auf.

Zur Herstellung eines MOS-Transistors mit LDD- und HDD-Profil wird an der Oberfläche eines Substrats zunächst ein Gatedielektrikum und eine Gateelektrode strukturiert. Unter Verwendung des Gatestapels sowie gegebenenfalls dünnen Spacern (zum Beispiel 20 nm) als Maske wird durch Implantation das LDD-Profil erzeugt. Anschließend werden an den Flanken des Gatestapels dicke Spacer gebildet. Unter Verwendung des Gatestapels mit den dicken Spacern als Maske wird anschließend durch Implantation das HDD-Profil erzeugt (zum Beispiel T. Ohguro et al, VLSI Techn. Dig. (1996), Seite 132 oder Y. Nakahara et al, VLSI Techn. Dig. (1996), Seite 174).

Die minimal erzielbaren Tiefen der Dotierstoffprofile werden durch die Temperschritte, die zum Ausheilen und zum Aktivieren des implantierten Dotierstoffes erforderlich sind, begrenzt.

Aus IEEE Trans. on Electron Dev., vol. 38, Nr. 1, Seiten 39 bis 46, ist bekannt, zur Vermeidung einer Veränderung des Dotierstoffprofils eines LDD-Profils bei der Herstellung eines MOS-Transistors zunächst das HDD-Profil durch Implantation zu bilden. Gebiete, in denen nachfolgend das LDD-Profil gebildet werden soll, werden durch Spacer abgedeckt. Nach Entfernen der Spacer erfolgt eine Implantation zur Bildung der LDD-Profile.

In der älteren Patentschrift DE 44 15 568 C2 ist vorgeschlagen worden, zur Herstellung von MOSFETs mit LDD-Profil zunächst das HDD-Profil durch Ausdiffusion aus einer konform abgeschiedenen und durch Implantation dotierten Schicht zu bilden. An den Flanken der Gateelektrode befindliche Teile der Schicht werden bei der Implantation praktisch nicht dotiert und schirmen den der Gateelektrode benachbarten Bereich ab. Nach Entfernen der Schicht wird das LDD-Profil durch Implantation gebildet.

In US-PS 5 491 099 ist vorgeschlagen worden, bei der Herstellung eines MOS-Transistors zunächst selbstjustiert zu einer zuvor hergestellten Gateelektrode, deren Flanken mit isolierenden Spacern bedeckt sind, durch Implantation ein HDD-Profil zu bilden. Nach Entfernen der isolierenden Spacer wird zwischen der Gateelektrode und dem HDD-Profil ein Graben in das Substrat geätzt. Durch Implantation wird an der Oberfläche des Grabens ein LDD-Profil erzeugt. Nachfolgend wird der Graben mit SiO₂ aufgefüllt.

Aus Solid State Technology, vol. 33, Nr. 1, Seiten 73 bis 78 ist die Bildung von Source-/Drain-Gebieten durch Ausdiffusion aus durch selektive Epitaxie gebildete Siliziumstrukturen, sogenannte elevated Source-/Drain-Strukturen, bekannt.

Der Erfindung liegt das Problem zugrunde, ein Verfahren zur Herstellung eines MOS-Transistors anzugeben, mit dem in der Nähe des Kanalbereichs geringere Tiefen der Dotierstoffprofile erzielbar sind.

Dieses Problem wird erfindungsgemäß gelöst durch ein Verfahren gemäß Anspruch 1. Weitere Ausgestaltungen der Erfindung gehen aus den übrigen Ansprüchen hervor.

In dem erfindungsgemäßen Verfahren umfassen die Source/Drain-Gebiete des MOS-Transistors jeweils ein erstes Teilgebiet und ein zweites Teilgebiet. Das erste Teilgebiet entspricht dem aus der Literatur bekannten HDD-Profil. Das zweite Teilgebiet entspricht dem aus der Literatur bekannten LDD-Profil. In dem erfindungsgemäßen Verfahren wird nach Bildung eines Gatestapels, der Gatedielektrikum und Gateelektrode umfaßt, eine erste Hilfsschicht mit im wesentlichen konformer Kantenbedeckung abgeschieden. Darauf wird eine zweite Hilfsschicht mit im wesentlichen konformer Kantenbedeckung abgeschieden, die selektiv zur ersten Hilfsschicht ätzbar ist. Durch anisotropes Rückätzen der zweiten Hilfsschicht werden im Bereich der Flanken der Gateelektroden Spacer gebildet. Nachfolgend werden die ersten Teilgebiete der Source/Drain-Gebiete durch Implantation erzeugt. Nach selektivem Entfernen der Spacer werden die zweiten Teilgebiete für die Source/Drain-Gebiete gebildet. Die zweiten Teilgebiete weisen eine geringere Dotierstoffkonzentration und eine geringere Tiefe als die ersten Teilgebiete auf. Ihre seitliche Ausdehnung reicht näher an die Gateelektrode heran, da die Spacer die seitliche Ausdehnung der ersten Teilgebiete begrenzt hatten.

Da in dem erfindungsgemäßen Verfahren die zweiten Teilgebiete nach den ersten Teilgebieten gebildet werden, unterliegen diese nicht den Temperaturbelastungen bei einer anschließenden Bildung der ersten Teilgebiete. Daher wird ein Auseinanderlaufen der Dotierstoffprofile der zweiten Teilgebiete im Kanalbereich vermieden. Dadurch wird ein steileres Dotierstoffprofil, das für das Kurzkanalverhalten des MOS-Transistors wünschenswert ist, erzielt.

Die zweiten Teilgebiete werden dadurch gebildet, daß nach Entfernen der Spacer die Oberfläche des Substrats in dem Bereich, in dem nachfolgend die zweiten Teilgebiete gebildet werden, angeätzt wird. Dazu wird die erste Hilfsschicht im Bereich der zweiten Teilgebiete entfernt. Durch das Anätzen der Oberfläche des Substrats in diesem Bereich entstehen Vertiefungen, die anschließend durch in situ dotierte selektive Epitaxie aufgefüllt werden. Bei der Epitaxie wächst auf der Oberfläche des Substrates ein dotiertes Gebiet auf, dessen Kristallqualität der Kristallqualität des Substrats entspricht und in dem der Dotierstoff bereits aktiviert ist. Daher ist keinerlei Temperschritt nötig, um den Dotierstoff zu aktivieren. Das Dotierstoffprofil wird durch die selektive Epitaxie vorgegeben und ist dadurch sehr steil.

Das Substrat, in dem der MOS-Transistor hergestellt wird, umfaßt mindestens im Bereich der Hauptfläche monokristallines Silizium. Vorzugsweise wird als Substrat eine monokristalline Siliziumscheibe oder ein SOI-Substrat verwendet. Im Bereich des Kanalgebiets und unterhalb davon können dabei Silizium/Germanium-Schichten vorgesehen sein.

Vorzugsweise wird die erste Hilfsschicht aus SiO₂ und/oder Si₃N₄ gebildet und die zweite Hilfsschicht aus Polysilizium. Polysilizium läßt sich mit guter Selektivität zu SiO₂ und/oder Si₃N₄ ätzen.

Bei der Herstellung von komplementären MOS-Transistoren ist es vorteilhaft, zuerst die ersten Teilgebiete für den n-Kanal-Transistor durch Implantation und anschließendes Tempern zum Ausheilen und zur Aktivierung des Dotierstoffes herzustellen. Bei der Im-

plantation ist der Bereich für den p-Kanal-Transistor mit einer ersten Maske abgedeckt. Nach Entfernen der ersten Maske werden die ersten Teilgebiete für den p-Kanal-Transistor gebildet. Dabei wird der Bereich für den n-Kanal-Transistor mit einer zweiten Maske abgedeckt. Anschließend werden die zweite Maske und die Spacer entfernt. Der p-Kanal-Transistor wird mit einer dritten Maske abgedeckt. Die zweiten Teilgebiete für den n-Kanal-Transistor werden durch Implantation gebildet. Nach Entfernen der dritten Maske wird in einem anschließenden Temperschritt der Dotierstoff in den zweiten Teilgebieten für den n-Kanal-Transistor und in den ersten Teilgebieten für den p-Kanal-Transistor aktiviert. Danach wird eine vierte Maske gebildet, die den Bereich für den n-Kanal-Transistor abdeckt. Im Bereich des p-Kanal-Transistors wird die erste Hilfsschicht entfernt. Im Bereich für die zweiten Teilgebiete des p-Kanal-Transistors wird die Oberfläche des Substrats angeätzt. Dadurch entstehen in diesem Gebiet in der Oberfläche des Substrats Vertiefungen. Anschließend werden die zweiten Teilgebiete für den p-Kanal-Transistor durch in situ dotierte selektive Epitaxie gebildet. Da in diesem Verfahren zunächst die Implantationen mit den n-dotierenden Ionen durchgeführt werden und anschließend die zweiten p-dotierten Teilgebiete gebildet werden, können, trotz der größeren Reichweite der p-dotierenden Ionen im Kristall, gleich flache Dotierstoffprofile für den n-Kanal- und den p-Kanal-Transistor erzeugt werden.

Im folgenden wird die Erfindung anhand eines Ausführungsbeispiels, das in den Figuren dargestellt ist, näher erläutert.

Fig. 1 zeigt ein Substrat mit einem Bereich für einen n-Kanal-Transistor und einem Bereich für einen p-Kanal-Transistor, nach der Bildung von Gatedielektrikum und Gateelektrode, erster Hilfsschicht und zweiter Hilfsschicht.

Fig. 2 zeigt das Substrat nach Bildung erster Teilgebiete für den n-Kanal-Transistor.

Fig. 3 zeigt das Substrat nach Bildung erster Teilgebiete für den p-Kanal-Transistor.

Fig. 4 zeigt das Substrat nach Bildung zweiter Teilgebiete für den n-Kanal-Transistor.

Fig. 5 zeigt das Substrat nach Anätzen der Oberfläche des Substrats im Bereich des p-Kanal-Transistors.

Fig. 6 zeigt das Substrat nach Bildung zweiter Teilgebiete für den p-Kanal-Transistor.

In einem Substrat 1 aus zum Beispiel monokristallinem Silizium werden in bekannter Weise eine p-dotierte Wanne 2 und eine n-dotierte Wanne 3 gebildet. Die p-dotierte Wanne 2 und die n-dotierte Wanne 3 grenzen jeweils an eine Hauptfläche 4 des Substrats 1 an. Die p-dotierte Wanne 2 ist zur Aufnahme eines n-Kanal-Transistors, die n-dotierte Wanne 3 zur Aufnahme eines p-Kanal-Transistors bestimmt (siehe Fig. 1). Die Dotierstoffkonzentration in der p-dotierten Wanne 2 beträgt zum Beispiel $3 \times 10^{17} \text{ cm}^{-3}$, die Dotierstoffkonzentration in der n-dotierten Wanne 3 beträgt zum Beispiel $5 \times 10^{17} \text{ cm}^{-3}$.

Auf der Hauptfläche 4 wird für den n-Kanal-Transistor und den p-Kanal-Transistor jeweils ein Gatedielektrikum 5 zum Beispiel aus thermischem SiO_2 in einer Schichtdicke von zum Beispiel 3 nm gebildet. Ferner wird für den n-Kanal-Transistor und den p-Kanal-Transistor jeweils eine Gateelektrode aus zum Beispiel dotiertem Polysilizium mit einer Gatelänge von zum Beispiel 100 nm und eine diese bedeckende Deckschicht 7 aus zum Beispiel SiO_2 gebildet. Das Gatedielektrikum 5,

die Gateelektrode 6 und die Deckschicht 7 werden zum Beispiel durch Abscheidung entsprechender Schichten und gemeinsame Strukturierung dieser Schichten erzeugt. Die Gateelektrode 6 weist eine Dicke von zum Beispiel 200 nm, die Deckschicht 7 weist eine Dicke von zum Beispiel 50 nm auf. Alternativ wird die Gateelektrode 6 mit Hilfe einer Spacertechnik gebildet.

Anschließend wird ganz flächig eine erste Hilfsschicht 8 aus zum Beispiel TEOS-SiO_2 oder Si_3N_4 abgeschieden. Die erste Hilfsschicht 8 weist eine im wesentlichen konforme Kantenbedeckung auf. Die erste Hilfsschicht 8 wird in einer Dicke von zum Beispiel 10 nm abgeschieden.

Anschließend wird eine zweite Hilfsschicht 9 mit im wesentlicher konformer Kantenbedeckung abgeschieden. Die zweite Hilfsschicht 9 wird zum Beispiel aus Polysilizium in einer Schichtdicke von 60 nm abgeschieden.

Durch anisotropes Ätzen der zweiten Hilfsschicht 9 selektiv zur ersten Hilfsschicht 8, (zum Beispiel mit HBr) werden aus der zweiten Hilfsschicht 9 Spacer 91 gebildet (siehe Fig. 2). Die Spacer 91 sind, durch die erste Hilfsschicht 8 beabstandet, an den Flanken der Gateelektroden 6 angeordnet.

Es wird eine erste Maske 10 zum Beispiel aus Photolack gebildet, die die n-dotierte Wanne 3 abdeckt. Anschließend wird eine Implantation zur Bildung erster Teilgebiete 11 der Source/Drain-Gebiete des n-Kanal-Transistors durchgeführt. Dabei wirken die erste Maske 10, die Gateelektrode 6 mit der ersten Hilfsschicht 8 den Spacern 91 als Maske. Die Implantation wird zum Beispiel mit Arsen mit einer Dosis von $2 \times 10^{15} \text{ cm}^{-2}$ bei 30 keV durchgeführt (siehe Fig. 2). Die erste Maske 10 wird entfernt. Anschließend wird ein Temperschritt bei zum Beispiel 900°C, 30 Sekunden durchgeführt, um Implantationsschäden auszuheilen und den Dotierstoff in den ersten Teilgebieten 11 einzutreiben und zu aktivieren.

Es wird eine zweite Maske 12 gebildet, die die p-dotierte Wanne 2 abdeckt. Es wird eine Implantation durchgeführt zur Bildung erster Teilgebiete 13 der Source/Drain-Gebiete für den p-Kanal-Transistor. Dabei wirken die zweite Maske 12 und die Gateelektrode 6 mit der ersten Hilfsschicht 8 und den Spacern 91 als Maske. Die Implantation wird zum Beispiel mit Bor mit einer Dosis von $2 \times 10^{15} \text{ cm}^{-2}$ und einer Energie von 10 keV durchgeführt (siehe Fig. 3).

Die zweite Maske 12 wird entfernt. Anschließend werden die Spacern 91, zum Beispiel durch naßchemisches Ätzen mit Cholin, entfernt. Es wird eine dritte Maske 14 gebildet, die die n-dotierte Wanne 3 abdeckt. Zur Bildung zweiter Teilgebiete 15 für den n-Kanal-Transistor wird eine Implantation durchgeführt, bei der die dritte Maske 14 und die Gateelektrode 6 der ersten Hilfsschicht 8 als Maske wirkt. Die Implantation wird zum Beispiel mit Arsen mit einer Dosis von $2 \times 10^{14} \text{ cm}^{-2}$ bei einer Energie von 10 keV durchgeführt. Die dritte Maske 14 wird entfernt. Anschließend wird ein Temperschritt zum Ausheilen von Implantationsschäden und zur Dotierstoffaktivierung in den ersten Teilgebieten des p-Kanal-Transistors und den zweiten Teilgebieten 15 des n-Kanal-Transistors durchgeführt. Um ein Auseinanderlaufen der Dotierstoffprofile zu vermeiden, wird dieser Temperschritt mit einem steilen Temperaturprofil durchgeführt. Er wird zum Beispiel bei 850°C, 20 Sekunden durchgeführt.

Es wird eine vierte Maske 16 aus zum Beispiel Photolack gebildet, die die p-dotierte Wanne 2 bedeckt. Durch

anisotropes Ätzen werden aus dem im Bereich des p-Kanal-Transistors freiliegenden Teils der ersten Hilfsschicht 8 Spacer 81 gebildet. Die anisotrope Ätzung erfolgt zum Beispiel mit einem anisotropen CHF₃- und CF₄-Ätzprozeß.

Durch die Bildung der Spacer 81 wird die Oberfläche des Substrats im Bereich des p-Kanal-Transistors freigelegt. Nachfolgend wird die Oberfläche des Substrats angeätzt. Die Ätzung erfolgt isotrop. Dabei werden Vertiefungen 17 gebildet, die sich, wegen der isotropen Ätzung, bis unter die Spacer 81 erstrecken. Die Vertiefungen 17 können sich sogar bis unterhalb des Gatedielektrikums 6 erstrecken. Die isotrope Ätzung wird zum Beispiel mit Cholin durchgeführt. Die Tiefe der Vertiefungen 17 beträgt zum Beispiel 15 nm (siehe Fig. 5).

Zur Bildung zweiter Teilgebiete 18 für den p-Kanal-Transistor wird anschließend eine in situ Bor-dotierte selektive Epitaxie durchgeführt. Dazu wird nach einer Naßreinigung, zum Beispiel in einem HF-Dip, eine Niedertemperaturreinigung bei zum Beispiel 750° im Epitaxiereaktor durch Zugabe von zum Beispiel GeH₄ oder SiH₄ durchgeführt. Dabei wird an der Oberfläche der Vertiefungen 17 befindliches natürliches Oxid abgeätzt. Anschließend wird durch selektive, in situ dotierte epitaktische Siliziumabscheidung die Vertiefung 17 aufgefüllt. Die epitaktische Siliziumabscheidung erfolgt zum Beispiel unter Verwendung eines Prozeßgases, das H₂, SiH₂Cl₂, HCl und B₂H₆ im Temperaturbereich zwischen 700°C und 800°C und im Druckbereich zwischen 10 und 100 Torr durchgeführt. Die Zugabe von B₂H₆ bewirkt, daß in die zweiten Teilgebiete 18 Bor als Dotierstoff eingebaut wird. Dadurch wird ein stufenförmiges Dotierstoffprofil erzeugt. Ein Temperschritt zum Ausheilen oder Aktivieren des Dotierstoffes ist nach der in situ dotierten Epitaxie nicht erforderlich, so daß das stufenförmige Dotierstoffprofil der zweiten Teilgebiete 18 erhalten bleibt.

Patentansprüche

1. Verfahren zur Herstellung eines MOS-Transistors,

- bei dem auf der Hauptfläche eines Substrats, das mindestens im Bereich der Hauptfläche Silizium umfaßt, ein Gatedielektrikum 5 (5) und eine Gateelektrode (6) gebildet werden,
- bei dem eine erste Hilfsschicht (8) mit im wesentlichen konformer Kantenbedeckung abgeschieden wird,
- bei dem eine zweite Hilfsschicht (9) mit im wesentlichen konformer Kantenbedeckung abgeschieden wird, die selektiv zur ersten Hilfsschicht (8) ätzbar ist,
- bei dem durch anisotropes Rückätzen der zweiten Hilfsschicht (9) im Bereich der Flanken der Gateelektrode (6) Spacer (91) gebildet werden,
- bei dem eine Implantation zur Bildung von ersten Teilgebieten (13) für Source/Drain-Gebiete durchgeführt wird,
- bei dem die Spacer (91) selektiv zur ersten Hilfsschicht (8) entfernt werden,
- bei dem die Oberfläche des Substrats (1) in den Bereichen, in denen nachfolgend die zweiten Teilgebiete (18) der Source/Drain-Gebiete gebildet werden, angeätzt (17) wird,
- bei dem zweite Teilgebiete (18) für die

Source/Drain-Gebiete durch in situ dotierte, selektive Epitaxie gebildet werden, wobei die zweiten Teilgebiete (18) eine geringere Dotierstoffkonzentration und eine geringere Tiefe als die ersten Teilgebiete (15) aufweisen.

2. Verfahren nach Anspruch 1,

- bei dem die erste Hilfsschicht (8) aus SiO₂ und/oder Si₃N₄ gebildet wird,
- bei dem die zweite Hilfsschicht (9) aus Polysilizium gebildet wird.

3. Verfahren nach Anspruch 1 oder 2,

- bei dem mindestens ein n-Kanal-Transistor und ein p-Kanal-Transistor gebildet werden,
- bei dem zunächst die ersten Teilgebiete (11) für den n-Kanal-Transistor durch Implantation und anschließendes Tempern gebildet werden, wobei der Bereich für den p-Kanal-Transistor mit einer ersten Maske (10) abgedeckt ist,
- bei dem die ersten Teilgebiete (13) für den p-Kanal-Transistor gebildet werden, wobei der Bereich für den n-Kanal-Transistor mit einer zweiten Maske (12) abgedeckt ist,
- bei dem die zweite Maske (12) und die Spacer (91) entfernt werden,
- bei dem die zweiten Teilgebiete (15) für den n-Kanal-Transistor durch Implantation und anschließendes Tempern gebildet werden, wobei der Bereich für den p-Kanal-Transistor mit einer dritten Maske (14) abgedeckt ist,
- bei dem nach Entfernen der dritten Maske eine vierte Maske gebildet wird, die den Bereich für den n-Kanal-Transistor abdeckt,
- bei dem im Bereich für die zweiten Teilgebiete (18) des p-Kanal-Transistors die Oberfläche des Substrats (1) freigelegt und anschließend angeätzt wird,
- bei dem die zweiten Teilgebiete (18) für den p-Kanal-Transistor durch in situ dotierte selektive Epitaxie gebildet werden.

Hierzu 2 Seite(n) Zeichnungen

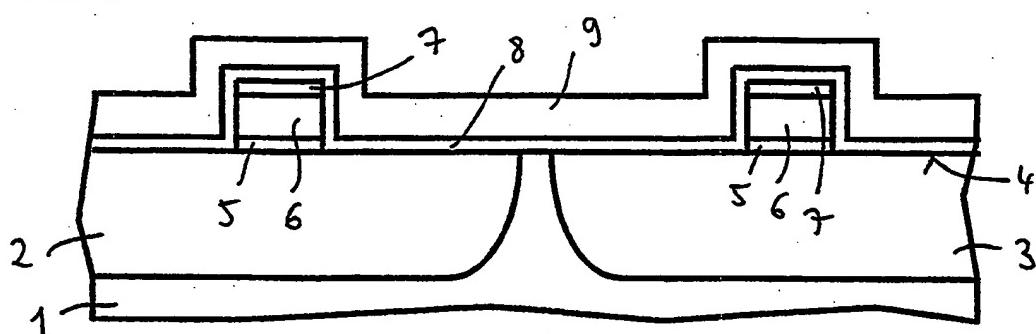
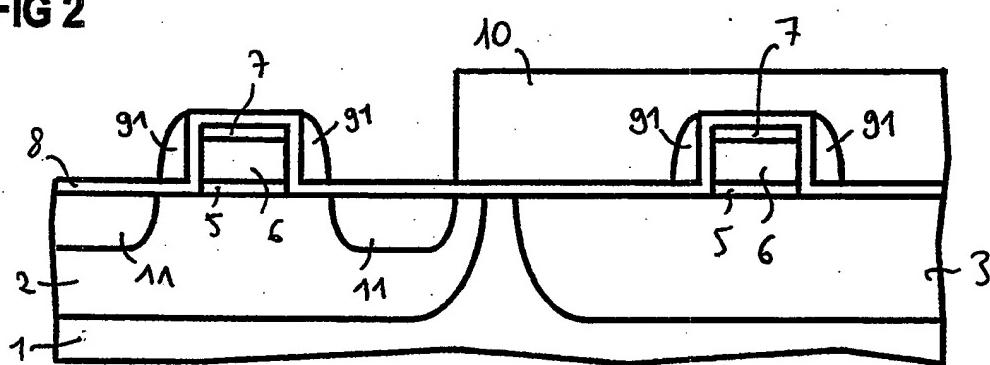
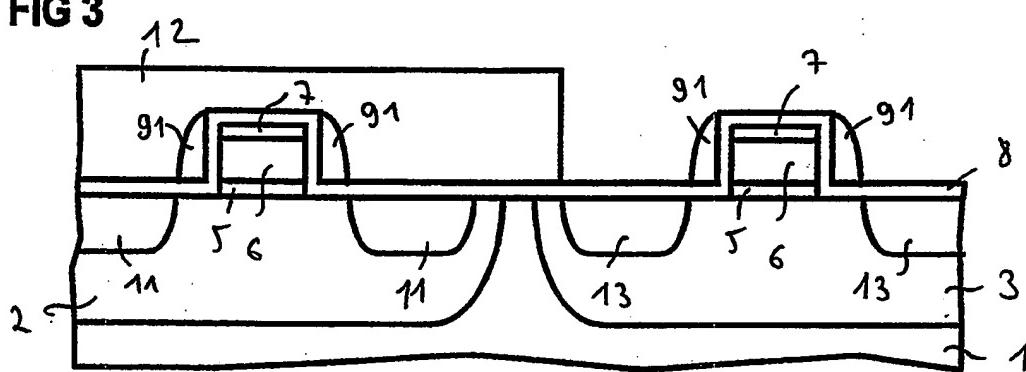
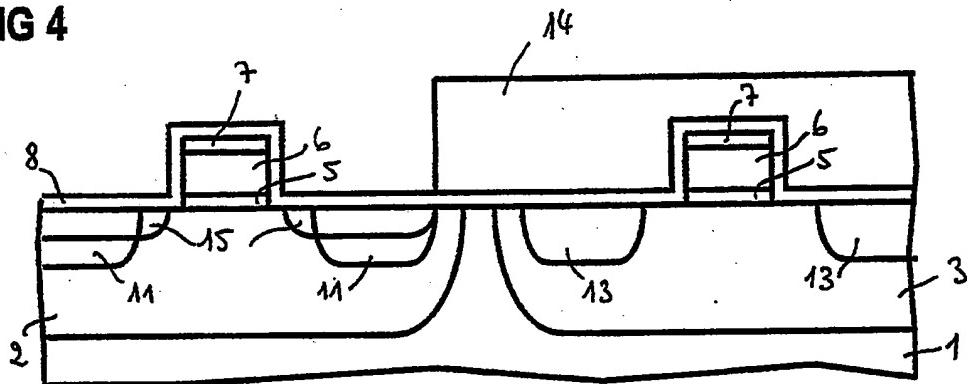
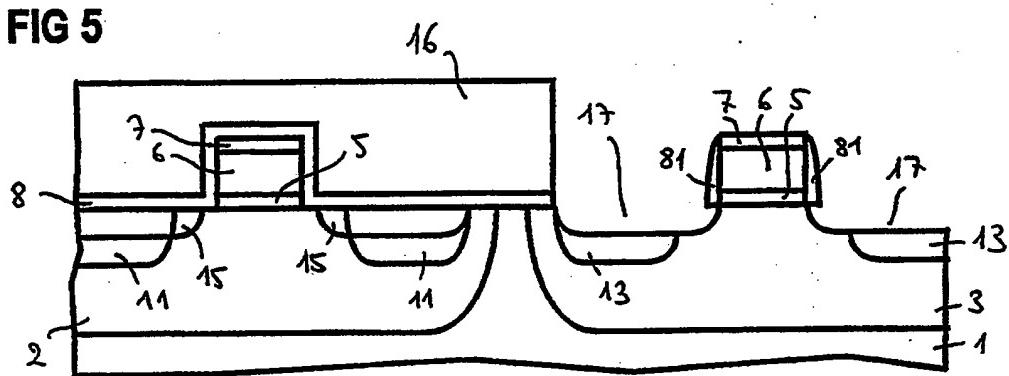
FIG 1**FIG 2****FIG 3**

FIG 4**FIG 5****FIG 6**